

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-129876

(43) 公開日 平成8年(1996)5月21日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/401

G 1 1 C 11/ 34

3 6 2 C

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平6-265564

(22) 出願日

平成6年(1994)10月28日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 清水 民雄

東京都港区芝五丁目7番1号 日本電気株式会社内

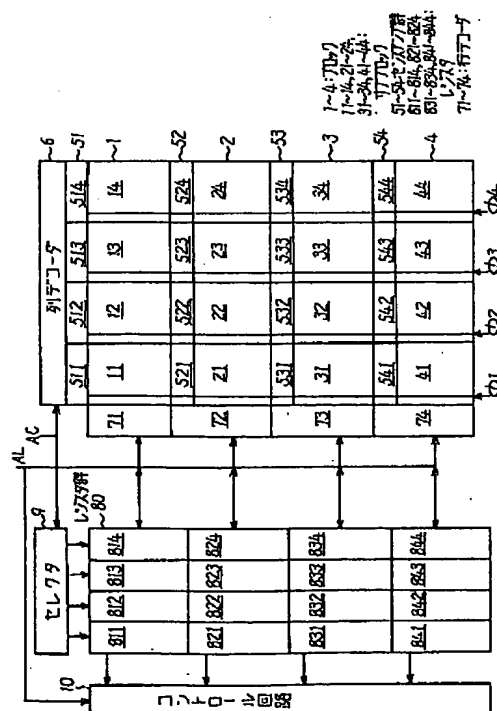
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 キャッシュ保持手段を備える半導体記憶装置に対するアクセスにおけるキャッシュヒット率を向上させる。

【構成】 行アドレスX1, Xm, Xn, Xoの各々を保持し列アドレスACの指定により選択されるレジスタ811~814を備える。センスアンプ511~514の各々が行アドレスX1, Xm, Xn, Xoの各々にそれぞれ対応するサブワード線の各々の1行分のデータXL1, XM2, XN3, XO4を保持する。



## 【特許請求の範囲】

【請求項 1】 各々が情報を記憶するメモリセルを行および列状に配列して成り行アドレスおよび列アドレスを指定することにより前記情報の入出力を行うメモリセルアレイを予め定めた第 1 の数の行毎に分割して成る複数のメモリセルブロックを含み、前記メモリセルブロックがこのメモリセルブロックをさらに列方向に予め定めた第 2 の数で分割したサブブロックと、前記第 1 の数の行の各々の行アドレス対応する第 1 の数の主ワード線と、前記第 2 の数のサブブロックに対応して前記主ワード線を分割した第 2 の数のサブワード線と、前記サブブロックを選択するサブブロック選択信号の供給にตอบสนองして前記サブワード線を選択するサブワード線選択手段と、予め指定した選択行アドレス対応の前記主ワード線の 1 行分のメモリセルの情報であるキャッシュデータを保持するキャッシュ保持手段とを備え、外部から指定した外部行アドレスと前記選択行アドレスとが一致したとき前記キャッシュ保持手段に対して前記キャッシュデータの読出しまたは書込を行う半導体記憶装置において、前記第 1 の数の行アドレスの各々を保持し前記サブブロック選択信号に連動して選択的に保持内容を出力する第 1 の数の行アドレス保持手段を備え、前記キャッシュ保持手段が前記メモリセルブロックの前記第 1 の数の行アドレスにそれぞれ対応する前記サブワード線の各々に対応するサブブロックの 1 行分の情報である前記第 2 の数のサブ行データを保持することを特徴とする半導体記憶装置。

【請求項 2】 前記キャッシュ保持手段が前記メモリセルブロック毎に前記サブ行データを検知・保持する前記第 2 の数のセンスアンプを備えることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】 前記第 1 の数の行アドレス保持手段が前記第 1 の数の行アドレスをそれぞれ格納する第 1 の数のレジスタを備え、前記行アドレス選択手段が前記サブブロック対応の列アドレスの供給にตอบสนองして前記レジスタを選択するセレクタを備えることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】 前記キャッシュ保持手段が前記主ワード線の 1 行分のキャッシュデータを格納するキャッシュメモリと、前記キャッシュデータを前記キャッシュメモリに転送する第 1 のキャッシュ転送手段とをさらに備えることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 5】 前記キャッシュ保持手段が前記センスアンプの各々の保持データをそれぞれ格納する第 2 の数のサブキャッシュメモリと、前記保持データを前記サブキャッシュメモリの各々に転送するサブキャッシュ転送手段とをさらに備えることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 6】 各々が情報を記憶するメモリセルを行および列状に配列して成り行アドレスおよび列アドレスを指定することにより前記情報の入出力を行うメモリセルアレイを予め定めた第 1 の数の行毎に分割して成る複数のメモリセルブロックを含み、前記メモリセルブロックがこのメモリセルブロックをさらに列方向に予め定めた第 2 の数で分割したサブブロックと、前記第 1 の数の行の各々の行アドレス対応する第 1 の数の主ワード線と、前記第 2 の数のサブブロックに対応して前記主ワード線を分割した第 2 の数のサブワード線と、前記サブブロックを選択するサブブロック選択信号の供給にตอบสนองして前記サブワード線を選択するサブワード線選択手段と、予め指定した選択行アドレス対応の前記主ワード線の 1 行分のメモリセルの情報であるキャッシュデータを保持するキャッシュ保持手段とを備え、外部から指定した外部行アドレスと前記選択行アドレスとが一致したとき前記キャッシュ保持手段に対して前記キャッシュデータの読出しまたは書込を行う半導体記憶装置において、前記第 2 の数のサブブロック対応のサブ行アドレスの各々を保持する第 2 の数のサブ行アドレス保持手段と、前記サブブロック選択信号に連動して前記第 2 の数のサブ行アドレス保持手段の 1 つを選択して第 1 の主ワード選択信号を発生するサブ行アドレス選択手段と、外部行アドレスをデコードして対応の第 2 の主ワード選択信号を発生する行デコーダと、制御信号の供給にตอบสนองして前記第 1 および第 2 の主ワード選択信号のいずれか一方を選択する主ワード信号選択手段とを備え、

前記キャッシュ保持手段が前記メモリセルブロックの前記第 1 の数の行アドレスにそれぞれ対応する前記サブワード線の各々に対応するサブブロックの 1 行分の情報である前記第 2 の数のサブ行データを保持することを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体記憶装置に関し、特に行単位データを一時保持して動作するキャッシュ保持手段を備える半導体記憶装置に関する。

## 【0002】

【従来の技術】 この種の半導体記憶装置は、メインメモリである低速大容量の DRAM のアクセスの高速化のため、この DRAM の行単位データを一時保持する高速小容量のレジスタやバイポーラ RAM などから成るバッファメモリすなわちキャッシュメモリを備える。また、高価なキャッシュメモリを備える代りに、DRAM のページモードやスタティックコラムモード等の高速アクセス機構を利用して簡易なキャッシュメモリの代替とするものもある。以下にこれらキャッシュメモリおよびその代替手段をキャッシュ保持手段と呼ぶ。

【0003】 このキャッシュ保持手段は CPU が必要と

しそうな行アドレス単位のデータ（キャッシュデータ）をメインメモリからコピーして保持し、CPUのメモリアクセス時のアドレスのデータが上記キャッシュデータと一致すると、すなわちキャッシュヒットすると、CPUは高速のキャッシュ保持手段のアクセス時間でこのキャッシュデータを取込む。一方、上記メモリアクセス時のアドレスのデータが上記キャッシュデータと不一致（キャッシュミス）の場合は、CPUはメインメモリから通常のメモリアクセスサイクルで所要のデータを取込む。したがって、キャッシュヒット時にはキャッシュミス時と比較して高速にアクセスを実行できる。

【0004】コンピュータシステムの性能改善には、メモリアクセスに対するキャッシュヒットの割合であるキャッシュヒット率の向上が重要である。このキャッシュヒット率の向上は、一般にキャッシュ保持手段に対して独立なキャッシュデータブロックの数つまりエントリ数を増加させることにより可能となる。

【0005】上記エントリ数の増加を目的とする特開平3-21289号公報（文献1）記載の半導体記憶装置は、行デコーダに対応するセンスアンプ単位にキャッシュ保持手段を設けることによりエントリ数を増加させている。

【0006】また高集積度大容量化などのDRAM技術の進歩にともなう微細化の進展によって、メモリセル構造についてもメモリ行アドレス選択線（以下ワード線）を主ワード線とサブワード線とから成る構成とすることにより、アクセスの高速化に対応している。

【0007】一般的なこの種の半導体記憶装置は、キャッシュ保持手段を含むメモリ回路と、上記メモリ回路に対するアドレスおよびセレクト信号を供給するメモリコントローラと、データバスとを備える。動作について説明すると、上記メモリコントローラは上記メモリ回路に対してアドレスとセレクト信号とを供給し、上記メモリ回路は供給を受けた上記アドレスとキャッシュ保持手段の保持データの行アドレスとを比較し、一致すれば上記保持データを上記データバスに出力するとともに対応の応答信号を上記メモリコントローラに出力する。もし上記アドレスと上記保持データの行アドレスとが不一致であれば、上記メモリ回路は通常のメモリアクセスでメモリセルデータをアクセスしたのち、読出データをデータバスに出力するとともに応答信号をメモリコントローラに出力する。

【0008】文献1記載の従来の半導体記憶装置のメモリ回路をブロックで示す図9を参照すると、この図に示す従来の半導体記憶装置は、行単位すなわち主ワード線単位で分割されたメモリセルのブロック1～4と、センスアンプ群51～54と、列デコーダ6と、行デコーダ群7と、キャッシュメモリであるレジスタ群8と、キャッシュヒット時にセンスアンプ5に対する直接アクセスをまたキャッシュミス時にメモリセルアレイ1の直接ア

クセスをそれぞれ行うコントロール回路10とを備える。

【0009】ブロック1～4の各々は、さらにサブワード線に対応して列方向に分割されそれぞれサブブロック11～14、21～24、31～34、41～44から成る。

【0010】行デコーダ群7は、ブロック1～4の各々に対応する行デコーダ71～74から成り、行アドレスにしたがってブロック1～4の各々に対応する主ワード線Xを駆動する。

【0011】センスアンプ群51～54はブロック1～4の各々のサブブロック11～14、21～24、31～34、41～44の各々にそれぞれ対応している。これらセンスアンプ群51～54の各々のセンスアンプ（後述）は各々のセルのセルデータを増幅・保持し、列デコーダ6により列アドレス信号ACの供給に应答して選択され、入出力回路（図示せず）とデータの授受を行う。

【0012】レジスタ群8はブロック1～4の各々に対応するレジスタ81～84から成り、各ブロックに対して最後にアクセスされた行アドレスを保持する。

【0013】コントロール回路10は、外部からの入力行アドレス（以下外部行アドレス）とレジスタアドレスとを管理し、外部行アドレスがレジスタ8の保持アドレスと一致した場合、すなわちキャッシュヒット時にはセンスアンプ群51～54に対する直接読出しまたは書込みを行い、不一致すなわちキャッシュミス時の場合は、センスアンプ群51～54をプリチャージして外部行アドレス指定のメモリセルをアクセスするとともに対応のレジスタを外部行アドレスの値に書換える。

【0014】以下ブロック1を代表として細部の構成および動作を説明する。

【0015】この主ワード線とサブワード線とを含むワード線の回路図を示す図10（A）を参照してワード線の構成について説明すると、このワード線は行デコーダ71から供給される主ワード信号X<sub>k</sub>の伝送線路である主ワード線X<sub>k</sub>と、主ワード信号X<sub>k</sub>の供給を受けサブブロック11～14の各々に対してサブブロックの選択信号φ<sub>a</sub>～φ<sub>d</sub>対応のサブワード信号k<sub>a</sub>～k<sub>d</sub>をそれぞれ出力する同一構成のセクタ141～144と、セクタ141～144の各々からのサブワード信号k<sub>a</sub>～k<sub>d</sub>をそれぞれ伝送するサブワード線K<sub>a</sub>～K<sub>d</sub>とを含む。

【0016】セクタ141～144の各々に対して選択信号φ<sub>a</sub>～φ<sub>d</sub>が供給され、それぞれの4本のサブワード線K<sub>a</sub>～K<sub>d</sub>のうちの1本を選択する。また、セクタ141～144はセクタ非活性化信号X<sub>r</sub>の供給に应答してサブワード線K<sub>a</sub>～K<sub>d</sub>のレベルを非活性化レベルとする。

【0017】セクタ141の構成を回路図で示す図1

10

20

30

40

50

0 (B) を参照すると、このセクタ 141 は、主ワード信号 X<sub>k</sub> がそれぞれ供給され選択信号  $\phi a \sim \phi d$  の各々の (活性化レベルの) 供給にตอบสนองしてサブワード信号  $k a \sim k d$  の各々を発生する同一構成のサブワード出力回路 41 ~ 44 を備える。

【0018】サブワード出力回路 41 は、ソースを主ワード線 X<sub>K</sub> にゲートを電源にドレインをトランジスタ Q12 のゲートにそれぞれ接続した N チャネル型のトランジスタ Q11 と、ドレインに信号  $\phi 1$  の供給を受けソースをサブワード線 K1 に接続した N チャネル型のトランジスタ Q12 と、ドレインをサブワード線 K1 に接続しゲートに信号 X<sub>R</sub> の供給を受けソースを接地した N チャネル型のトランジスタ Q13 とを備える。

【0019】同様に、サブワード出力回路 42, 43, 44 の各々は、サブワード線 K<sub>b</sub>, K<sub>c</sub>, K<sub>d</sub> の各々とサブブロック選択信号  $\phi b$ ,  $\phi c$ ,  $\phi d$  の各々にそれぞれ対応する同様の回路で構成されている。

【0020】以後セクタ 141 ~ 144 により選択されるサブワード線 (以下選択サブワード線) K<sub>a</sub> ~ K<sub>d</sub> はメモリ全体で必ず一本のみであるため、説明の便宜上選択サブワード線に対応するメモリのサブブロックに対する選択信号を選択信号  $\phi a \sim \phi d$  のうちの一つを代表して選択信号  $\phi$  と省略する。また、この選択信号  $\phi$  はサブブロック 11 ~ 14, 21 ~ 24, 31 ~ 34, 41 ~ 44 の各々のサブワード信号にそれぞれ対応して  $\phi 1 \sim \phi 4$  とする。

【0021】行デコーダ 71 とセンスアンプ群 51 との組とブロック 1 との関係を示す図 12 を参照すると、このブロック 1 は上述のようにセクタ 141 ~ 144 の各々に対応して分割したサブブロック 11 ~ 14 から成り、行デコーダ 71 の出力である主ワード信号 X<sub>k</sub> が各サブブロック 11 ~ 14 に供給されたサブワード選択信号  $\phi 1 \sim \phi 4$  にตอบสนองしてセクタ 141 ~ 144 が選択したサブワード信号として対応のサブブロック 11 ~ 14 の 1 つに供給される。センスアンプ群 51 はサブブロック 11 ~ 14 の各々に対応するセンスアンプ 511 ~ 514 を備える。

【0022】動作タイムチャートを示す図 12 を併せて参照して従来の半導体記憶装置の動作を説明すると、センスアンプ群 51 は対応するブロック 1 に対して最後にアクセスされた行アドレスのデータを保持している。コントロール回路 10 により供給された外部アドレスが対応の行デコーダ 71 のセンスアンプ群 51 に保持されていない場合、コントロール回路 10 はセンスアンプ群 51 と対応のビット線電位  $v b$  をプリチャージ状態とする。次に、新たに主ワード信号 X<sub>k</sub> を高レベルとし、各サブワード線 K1 ~ K4 に対応して選択信号  $\phi 1 \sim \phi 4$  を順次上昇させ、センスアンプ 511 ~ 514 の各々にそれぞれ主ワード線 X<sub>K</sub> に対応したセルのデータを読み出すことにより 1 行分のデータをセンスアンプ群 51 に保

持させる。

【0023】これにより常に最近のアクセスデータの近傍のデータがセンスアンプ群に保持されて高速アクセスが可能となるため、性能が向上する。

【0024】

【発明が解決しようとする課題】上述した従来の半導体記憶装置は、キャッシュ保持手段が独立に保持できるキャッシュデータの大きさは行デコーダの 1 アクセスの読出データすなわちワード単位の大きさとなる構成であるため、データの大きさが上記ワードより小さく分散保持可能なデータに対しても同一のエントリとせざるを得ないなど自由度が小さく、エントリ数向上による性能向上が難しいという欠点があった。

【0025】また、キャッシュ保持手段のデータ保持が行デコーダ毎であるため特別な保持手段を追加することなく列方向の複数の独立データの保持機能を持たせることができないという欠点があった。

【0026】

【課題を解決するための手段】本発明の半導体記憶装置は、各々が情報を記憶するメモリセルを行および列状に配列して成り行アドレスおよび列アドレスを指定することにより前記情報の入出力を行うメモリセルアレイを予め定めた第 1 の数の行毎に分割して成る複数のメモリセルブロックを含み、前記メモリセルブロックがこのメモリセルブロックをさらに列方向に予め定めた第 2 の数で分割したサブブロックと、前記第 1 の数の行の各々の行アドレス対応する第 1 の数の主ワード線と、前記第 2 の数のサブブロックに対応して前記主ワード線を分割した第 2 の数のサブワード線と、前記サブブロックを選択するサブブロック選択信号の供給にตอบสนองして前記サブワード線を選択するサブワード線選択手段と、予め指定した選択行アドレス対応の前記主ワード線の 1 行分のメモリセルの情報であるキャッシュデータを保持するキャッシュ保持手段とを備え、外部から指定した外部行アドレスと前記選択行アドレスとが一致したとき前記キャッシュ保持手段に対して前記キャッシュデータの読出しまたは書込を行う半導体記憶装置において、前記第 1 の数の行アドレスの各々を保持し前記サブブロック選択信号に連動して選択的に保持内容を読み出す第 1 の数の行アドレス保持手段を備え、前記キャッシュ保持手段が前記メモリセルブロックの前記第 1 の数の行アドレスにそれぞれ対応する前記サブワード線の各々に対応するサブブロックの 1 行分の情報である前記第 2 の数のサブ行データを保持することを特徴とするものである。

【0027】

【実施例】次に、本発明の実施例を図 9 と共通の構成要素には共通の参照文字/数字を付して同様にブロックで示す図 1 を参照すると、この図に示す本実施例の半導体記憶装置は、従来と共通のメモリセルのブロック 1 ~ 4 と、センスアンプ群 51 ~ 54 と、列デコーダ 6 と、行

デコーダ群7と、コントロール回路10とに加えて、レジスタ群8の代りにサブワード線K1~K4にそれぞれ対応する各ブロック当り4個のレジスタ811~814, 821~824, 831~834, 841~844を有するレジスタ群80と、列アドレスACの供給に回答してこれらレジスタを選択するセクタ9とを備える。

【0028】次に、図1および各ブロックを代表するブロック1のセンスアンプとの関係を示す図2を参照して本実施例の動作について説明すると、サブブロック11, 12, 13, および14の各々はセクタ141~144に対するサブブロック選択信号 $\phi$ 1~ $\phi$ 4の各々の制御によりそれぞれ主ワード線XL, XM, XN, およびXOの各々に対応するサブワード線のデータXL1, XM2, XN3, およびXO4をセンスアンプ511, 512, 513, および514の各々にてそれぞれ保持する。一方、レジスタ811, 812, 813, および814の各々はそれぞれ主ワード線XL, XM, XN, およびXOの各々に対応するアドレスX1, Xm, Xn, およびXoを格納する。

【0029】本実施例の動作タイムチャートである図3を併せて参照すると、まず(A)に示すように、センスアンプ511をプリチャージ状態とし、新たなアドレスアクセスに備える。次に、主ワード線XLに供給する主ワード信号X1および選択信号 $\phi$ 1の各々を高レベルすなわち活性化した後、センスアンプ511を活性化してデータを取込む。次に、信号X1,  $\phi$ 1を非活性化のため低レベルにする。これによりセンスアンプ511に主ワード線XL対応のサブブロック11のサブワード線のデータXL1が保持される。次に(B)に示すように、センスアンプ512をプリチャージ状態とし、上記と同様に、主ワード信号Xm, 選択信号 $\phi$ 2の各々およびセンスアンプ512の活性化によるデータの取込み、次いで信号Xm,  $\phi$ 2の非活性化によりセンスアンプ512に主ワード線XM対応のサブブロック12のサブワード線のデータXM2が保持される。次に(C)に示すように、同様にして、主ワード信号Xn, 選択信号 $\phi$ 3の各々の活性化、非活性化の制御によりセンスアンプ513に主ワード線XN対応のサブブロック13のサブワード線のデータXN3が保持される。次に(D)に示すように、同様にして、主ワード信号Xo, 選択信号 $\phi$ 4の各々の活性化、非活性化の制御によりセンスアンプ514に主ワード線XO対応のサブブロック14のサブワード線のデータXO4が保持される。

【0030】以上の動作により、センスアンプ511~514の各々にそれぞれ独立した4組の行アドレスX1, Xm, Xn, Xoに対応するデータXL1, XM2, XN3, XO4が保持されることになる。

【0031】次に、本発明の第2の実施例を特徴づけるブロック1Aを図2のブロック1と共通の構成要素には

共通の参照文字/数字を付して同様にブロックで示す図4を参照すると、この図に示す本実施例の半導体記憶装置の上述の第1の実施例との相違点は、行デコーダ71を共有するセンスアンプ511~514対応のサブブロック11~14の各々に対して、センスアンプ511~514の保持データを一時保持するキャッシュメモリ111~114の各々と、これらキャッシュメモリ111~114対応の後述の信号 $\beta$ 1により駆動される主ワード線XBとこの主ワード線XBに対応する1つのサブワード線とを付加して備えることである。

【0032】図2の他のブロック2~4についても本実施例では同様の構成のブロック2A~4Aに代る。

【0033】次に、本実施例のタイムチャートを示す図5を参照して本実施例の基本動作を説明すると、まず

(A)に示すように、行アドレスXにアクセスを実行するため、センスアンプ511がプリチャージされる。この時サブブロック11Aのデータは任意のデータであると仮定する。つづいて主ワード線X, 選択信号 $\phi$ の各々を活性化し、センスアンプ511を活性化する。これにより第1の実施例と同様に、センスアンプ511にはサブワード線対応のデータが取込れ保持される。次に、信号 $\phi$ , 主ワード線Xを非活性化する。その後信号 $\beta$ を活性化し、キャッシュメモリ111にセンスアンプ511のデータを取込み保持させ、信号 $\beta$ を非活性化する。

【0034】メモリセルは一定の周期でリフレッシュされる必要がある。このためリフレッシュ要求があると、

(B)に示すように、センスアンプ511のプリチャージ後、リフレッシュ用の主ワード線Xret, 選択信号 $\phi$ を活性化し、さらにセンスアンプ511を活性化しメモリセルのリフレッシュを実行する。このリフレッシュの実行の結果、センスアンプ511の保持データは主ワード線Xアドレスのデータと異なるリフレッシュアドレスのデータとなり、動作上無意味なデータとなっている。

【0035】一方キャッシュメモリ111はこの間も主ワード線Xアドレスのデータを保持しつづける。

【0036】上記リフレッシュの完了後、再度センスアンプ51をプリチャージし、(C), (D)に示すように、信号 $\beta$ ,  $\phi$ を活性化し、センスアンプ511を活性化することによりキャッシュメモリ111のデータが再びセンスアンプ511に読出され利用可能となる。また同時にセルのデータも再読出しが実行されリフレッシュされる。このあと信号 $\beta$ は非活性化されキャッシュメモリ111は主ワード線のデータを保持しつづける。

【0037】キャッシュメモリ111はダイナミック型セルで構成しても、センスアンプのリフレッシュに対応して上記再読出し・リフレッシュを実行することによりデータ保持時間等の動作性能をスタティック型セルと同等にできる。

【0038】このように、本実施例では、行デコーダのアクセスアドレスとは無関係にリフレッシュによるセンスアンプデータの再読出しが可能となっている。

【0039】これにより、行デコーダを共有するセンスアンプ毎に分割された複数のサブブロックに対し同時にリフレッシュを実施しても、上記行デコーダのアクセスアドレスによる複数回の再読出しによる上記センスアンプのクリアされた保持データの復旧の必要がなく、1回のサイクルにて各サブブロックの異なる行アドレス対応のデータを上記センスアンプへの再読出しにより復旧可能であり、性能向上を図ることができる。

【0040】次に、本発明の第3の実施例を図4と共通の構成要素には共通の参照文字/数字を付して同様にブロックで示す図6を参照すると、この図に示す本実施例のブロック1Bの第2の実施例のブロック1Aとの相違点は、キャッシュメモリ111~114の代りにサブブロック11~14の各々のサブワード線毎に独立にセンスアンプ511~514の各々の保持データを一時退避するためのキャッシュメモリ121~124を備えることである。

【0041】動作タイムチャートを示す図7を併せて参照して本実施例の動作について説明すると、第1の実施例と同様の行アドレスX1, Xm, Xn, Xoにそれぞれ対応するサブブロック選択信号φ1~φ4の供給にตอบสนองして選択されたサブブロック11~14では、(A)~(D)に示すように、順次センスアンプ511~514をプリチャージし選択アドレスにより主ワード線XL~XOおよび対応の信号φ1~φ4を活性化するとともに信号βを活性化し各サブブロック11~14に対応するキャッシュメモリ121~124にデータを書込む。サブブロック11, 12, 13, および14の各々はセレクト141~144に対するブロック選択信号φ1~φ4の各々の制御によりそれぞれ主ワード線XL, XM, XN, およびXOの各々に対応するサブワード線のデータXL1, XM2, XN3, およびXO4をセンスアンプ511, 512, 513, および514の各々にてそれぞれ保持する。

【0042】図7(E)に示すように、リフレッシュ時には、リフレッシュアドレスXretとして行デコーダより主ワード線XL~XOを駆動し、これら主ワード線XL~XOの各々に対応する複数のサブワード線を信号φ1~φ4により活性化し、サブブロック11A~11Dをリフレッシュする。第1, 第2の実施例と同様にリフレッシュ完了後ひきつづいてセンスアンプをプリチャージしたのち信号βを活性化し(F)、信号φ1~φ4も活性化することにより各キャッシュメモリ121~124対応の行アドレスのデータを1サイクルにて、それぞれのセンスアンプ511~514に読出す。

【0043】本実施例においては、サブブロックに対してサブワード線毎にリフレッシュによるセンスアンプ保

持データの退避用のキャッシュメモリを設けることにより、行デコーダに対して上記センスアンプにそれぞれ異なる行アドレスのアクセスデータを保持させて、これらサブブロックを主ワード線選択により同時にリフレッシュを実行し、対応するセンスアンプのデータをクリアしても、1回の信号β, φの活性化により行デコーダを共有するサブブロックの複数のセンスアンプのデータを復旧することができる。

【0044】次に、本発明の第4の実施例を図2と共通の構成要素には共通の参照文字/数字を付して同様にブロックで示す図8を参照すると、この図に示す本実施例の第1の実施例との相違点は、レジスタ811~814の代りに選択信号φ1~φ4でそれぞれ選択されるレジスタ811A~814Aと、レジスタ811A~814Aからのレジスタアドレスをデコードするレジスタアドレスデコーダ15と、信号SELの供給にตอบสนองして行デコーダ71またはレジスタアドレスデコーダ15のいずれか一方を選択するセクタ16とを備えることである。

【0045】本実施例の動作について説明すると、本実施例の主ワード信号Xはセクタ16の出力信号となっており、このセクタ16は信号SELにより外部アクセスの場合は行デコーダを選択し、第1の実施例と同様の動作を行う。また、レジスタ811A~814Aの保持アドレスによる再読出しの場合は、選択信号φ1~φ4により選択された再読出し対象のサブブロック対応のレジスタの出力アドレスがレジスタアドレスデコーダ15でデコードされ、このデコードアドレスがセクタ13を経由して主ワード信号Xとしてサブブロック11~14に供給される。したがって、各ブロックにおける複数のサブワード線対応のサブブロック・センスアンプの組のうち1組だけがレジスタアドレスにより再読出し可能となる。

【0046】これにより1回の再読出し動作において行デコーダ毎に分割された複数のブロックのうちのそれぞれ1組のサブワード線対応のサブブロックの再読出しの実行が可能となる。

【0047】本実施例においては、行デコーダ毎に分割されたブロックに対して、独立にレジスタアドレスを指定する手段を備えることにより各々のサブブロック対応のレジスタアドレスを独立して与えて1サイクルで複数のサブブロックの再読出しを可能としている。

【0048】これに対応して、リフレッシュアドレスを行デコーダを介して複数のサブブロックに供給することによりリフレッシュを実行し、上記複数のサブブロックに対して上記再読出しを行うことにより、1回のサイクルにてデータの復旧を行わせることができる。

【0049】以上述べたように、高性能化のためキャッシュ保持手段を備えるメモリにおいては、最近にアクセスしたデータの近傍のデータが上記保持手段に保持され

ていることが望しい。しかし、DRAMのように周期的にリフレッシュを必要とするメモリにおいてはセンスアンプにデータを保持してもリフレッシュによりデータがクリアされてしまう。また上記キャッシュ保持手段は、なるべく多くの自由度をもった大きさの単位でのデータ保持が望しい。

【0050】これに対して本発明は、DRAMの主ワード線、サブワード線構造を利用して上記保持手段の自由度を向上させ、またセンスアンプに保持したデータのリフレッシュによるクリアに対応してデータの復旧を短時間 10 で実現可能とし、さらにコスト増の要因であるチップサイズの増加も低減できる。

【0051】

【発明の効果】以上説明したように、本発明の半導体記憶装置は、サブブロック選択信号に連動して選択的に保持内容を出力する第1の数の行アドレス保持手段を備え、キャッシュ保持手段が上記行アドレスにそれぞれ対応するサブワード線の各々に対応する第2の数のサブ行データを保持することにより、主ワード線を構成する上記サブワード線の各々に対応するサブブロック分のデータ 20 の大きさの単位で独立に保持できるので、データの大きさが主ワード線対応の1ワードより小さく分散保持可能なデータに対しては、エントリ数増加によるキャッシュヒット率の大幅な向上の結果としてアクセスを高速化でき、コンピュータシステムの性能向上が可能となるという効果がある。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の第1の実施例を示すブロック図である。

【図2】本実施例を構成するブロックの詳細を示すブロック図である。 30

【図3】本実施例の動作の一例を示すタイムチャートである。

【図4】本発明の半導体記憶装置の第2の実施例を示す\*

\*ブロック図である。

【図5】本実施例の動作の一例を示すタイムチャートである。

【図6】本発明の半導体記憶装置の第3の実施例を示すブロック図である。

【図7】本実施例の動作の一例を示すタイムチャートである。

【図8】本発明の半導体記憶装置の第4の実施例を示すブロック図である。

【図9】従来の半導体記憶装置の一例を示すブロック図である。

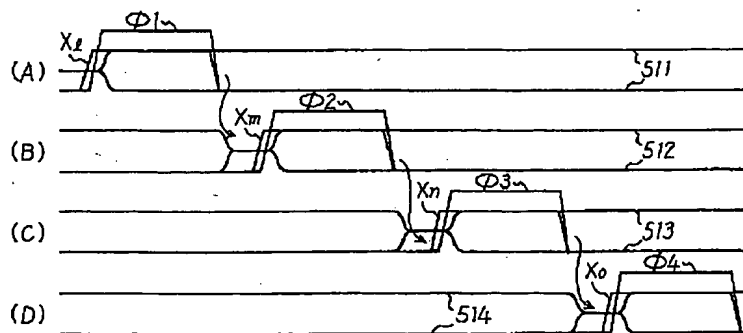
【図10】主ワード線とサブワード線との関係とセクタの構成を示す回路図である。

【図11】従来の半導体記憶装置の動作を示すタイムチャートである。

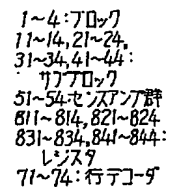
【符号の説明】

- 1～4, 1A, 1B, 1C    ブロック
- 11～14, 21～24, 31～34, 41～44    サブブロック
- 5, 51～54    センスアンプ群
- 6    列デコーダ
- 7    行デコーダ群
- 8    レジスタ群
- 9, 16, 141～144, S11～S14    セクタ
- 10    コントロール回路
- 15    レジスタアドレスデコーダ
- 71～74    行デコーダ
- 511～514, 521～524, 531～534, 541～544    センスアンプ
- 81～84, 811～814, 821～824, 831～834, 841～844, 811A～814A    レジスタ

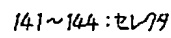
【図3】



【図 1】

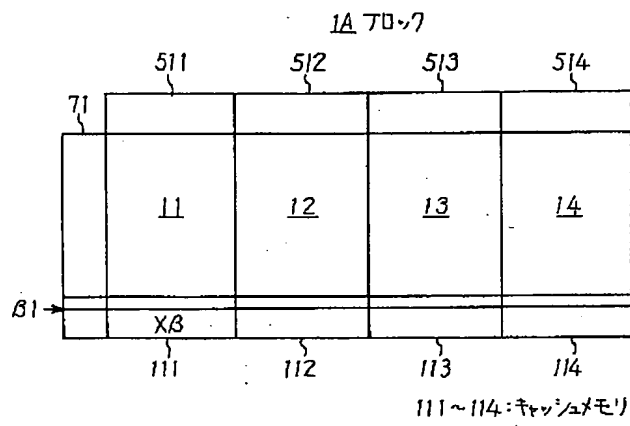


【図 2】

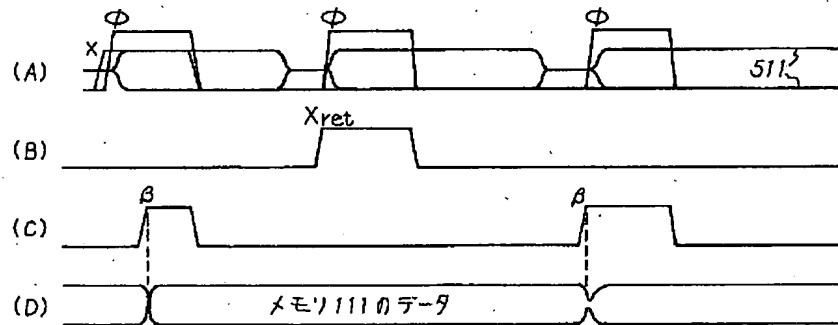




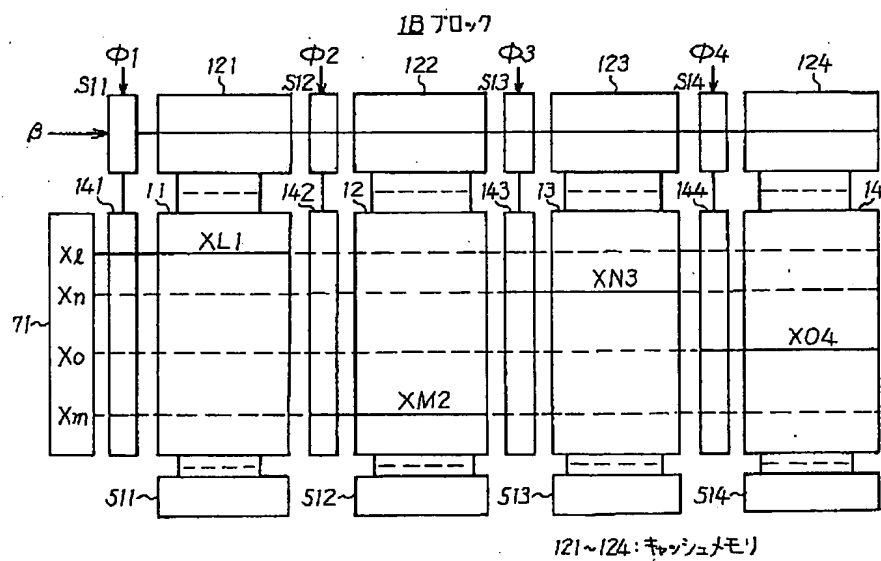
【図 4】



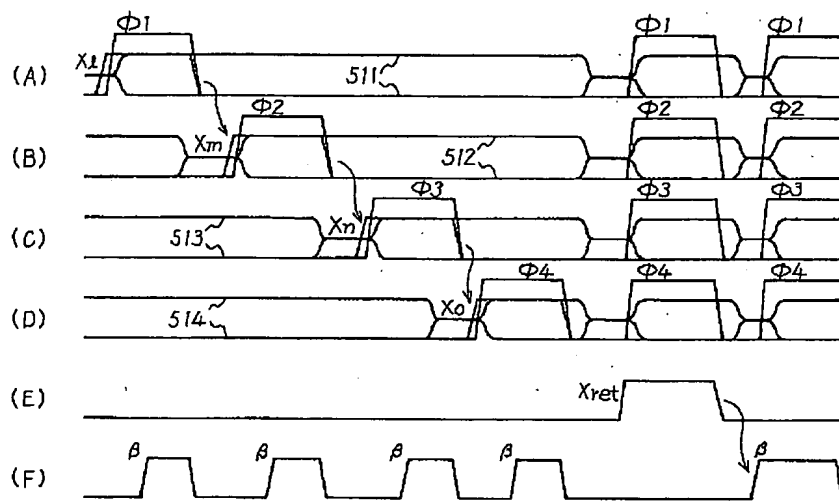
【図 5】



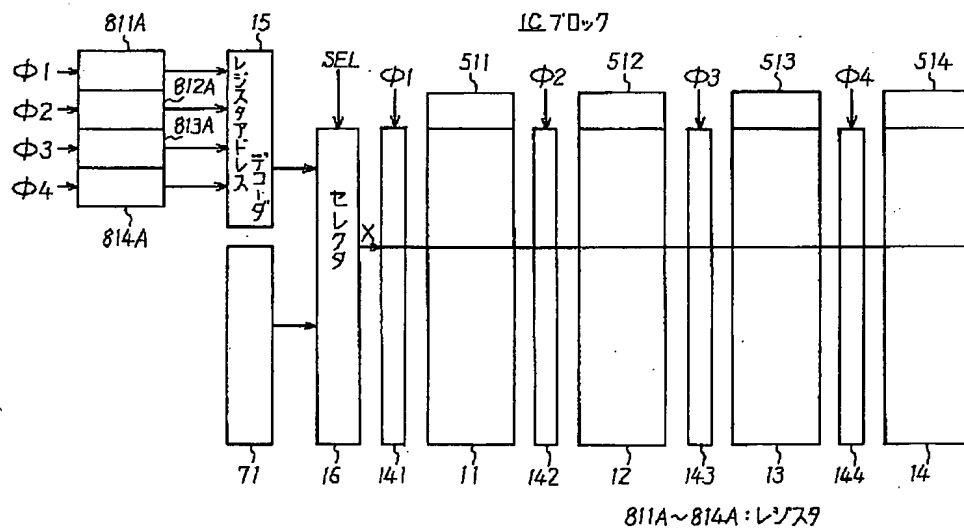
【図 6】



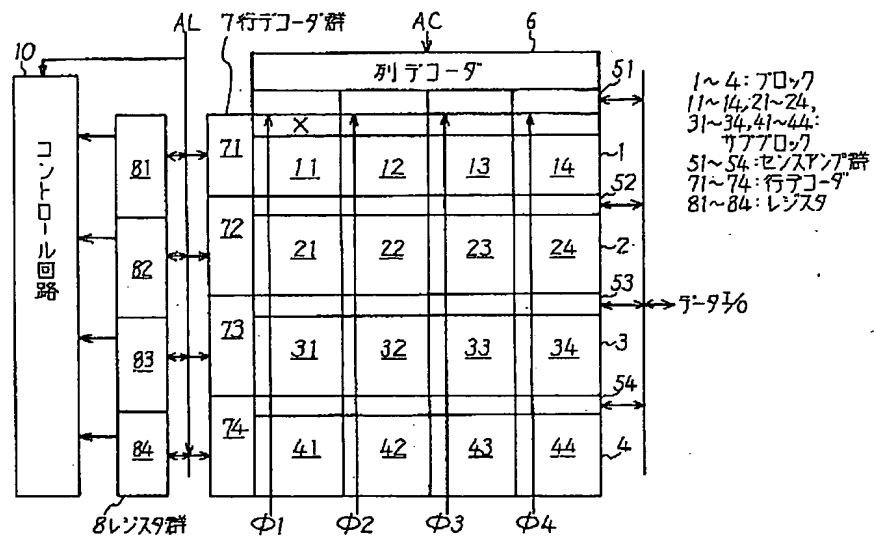
【図 7】



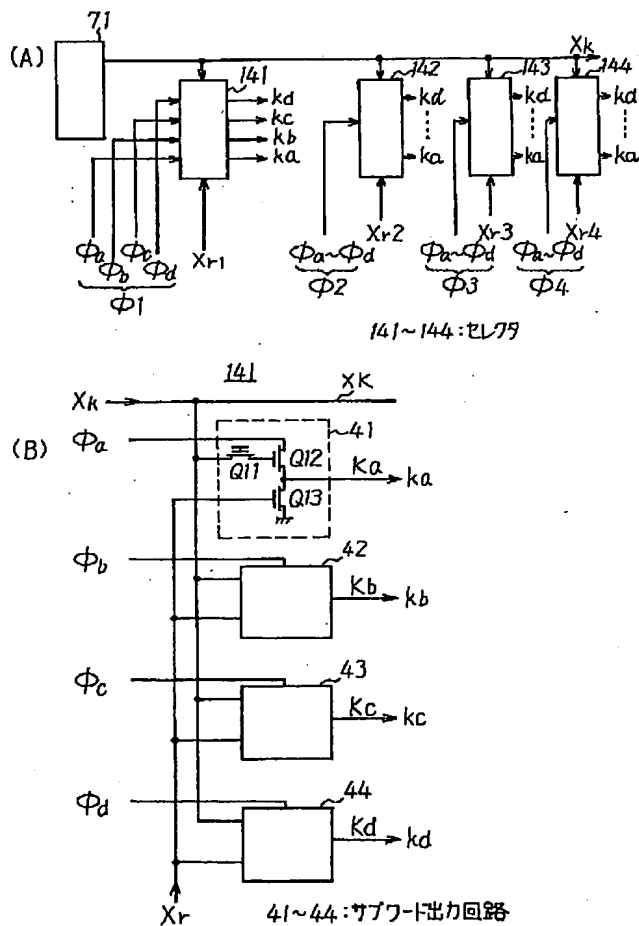
【図 8】



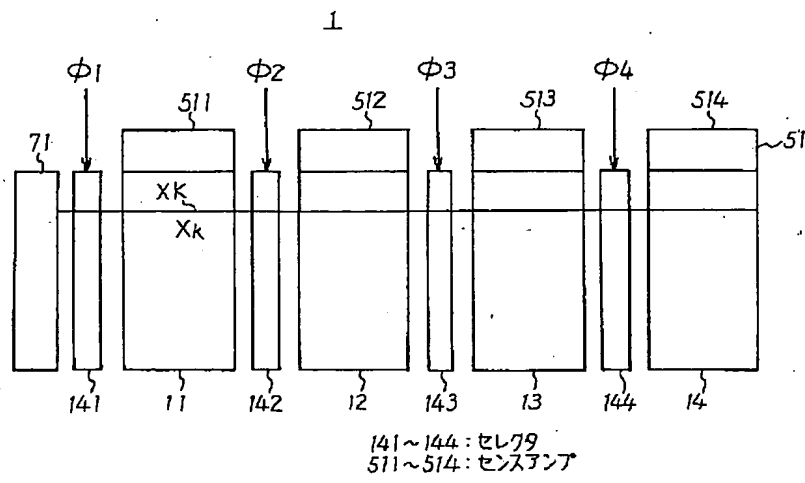
【図 9】



【図 10】



【図 11】



# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-129876

(43)Date of publication of application : 21.05.1996

(51)Int.Cl.

G11C 11/401

(21)Application number : 06-265564

(71)Applicant : NEC CORP

(22)Date of filing : 28.10.1994

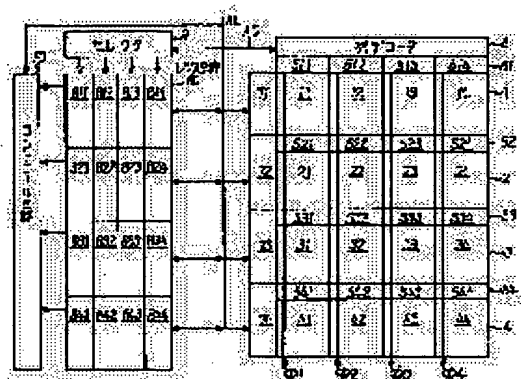
(72)Inventor : SHIMIZU TAMIO

## (54) SEMICONDUCTOR STORAGE

### (57)Abstract:

**PURPOSE:** To improve the cache hit ratio of a storage by providing registers holding respective column addresses and selected by column address specifications and holding data equivalent to one row of sub-word lines corresponding to respective column address in respective sense-amplifier.

**CONSTITUTION:** This storage is constituted of memory cell blocks 1 to 4, a sense-amplifier(SA) group 51 to 54, a column/row decoders 6/71 to 74, a register group 80, a selector 9 and a control circuit 10. The selector 9 selects the register 811 in the group 80 according to a column address AC. In sub-blocks(SB) of the block 1, SA 511 to 514 hold data equivalent to one row of sub-word lines corresponding to respective main-word lines according to SB selection signals  $\phi_{11}$  to  $\phi_{14}$ . Besides, registers 811 to 814 in the group 80 store addresses corresponding to respective main-word lines and SA 521 to 544 in other blocks 2 to 4 similarly operate. Thus, the storage is made to be a high speed device as the result of the improving of the cache hit ratio in accesses with respect to the storage.



## LEGAL STATUS

[Date of request for examination] 28.10.1994

[Date of sending the examiner's decision of rejection] 05.06.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2001-11573

[Date of requesting appeal against examiner's] 05.07.2001

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## **\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

## **CLAIMS**

---

[Claim(s)]

[Claim 1] In the semiconductor memory which performs read-out or the writing of the aforementioned cache data to the aforementioned cache maintenance means when the external line address and the aforementioned selection line address which were equipped with the following and specified from the outside are in agreement It has 1st number of line address maintenance means which holds each of the line address of the 1st number of the above, is interlocked with the aforementioned subblock selection signal, and outputs the content of maintenance alternatively. The semiconductor memory characterized by holding the sub line data of the 2nd number of the above whose aforementioned cache maintenance means is the information for one line on the subblock corresponding to each of the aforementioned sub word line corresponding to the line address of the 1st number of the above of the aforementioned memory cell blocks, respectively. The subblock divided including two or more memory cell blocks which divide and change for 1st number of every lines which defined beforehand the memory cell array which outputs and inputs the aforementioned information by each's arranging the memory cell which memorizes information to a line and a seriate, changing, and specifying a line address and the train address by the 2nd number by which the aforementioned memory cell block defined this memory cell block in the direction of a train beforehand further Each 1st number of the line of the 1st number of the above of the main word lines which carries out line address correspondence 2nd number of sub word lines which divided the aforementioned main word line corresponding to the subblock of the 2nd number of the above A cache maintenance means to hold the cache data which are the information on the memory cell for one line of the aforementioned main word line dealing with the selection line address beforehand specified to be a sub word line selection means to answer supply of the subblock selection signal which chooses the aforementioned subblock, and to choose the aforementioned sub word line

[Claim 2] The semiconductor memory according to claim 1 characterized by equipping the aforementioned cache maintenance means with 2nd number of the above of sense amplifiers which detects and holds the aforementioned sub line data for every aforementioned memory cell block.

[Claim 3] The semiconductor memory according to claim 1 characterized by equipping the line address maintenance means of the 1st number of the above with 1st number of registers which stores the line address of the 1st number of the above, respectively, and having the selector as which the aforementioned line address selection means answers supply of the train address dealing with [ aforementioned ] a subblock, and chooses the aforementioned register.

[Claim 4] The semiconductor memory according to claim 1 characterized by equipping the aforementioned cache maintenance means with the cache memory which stores the cache data for one line of the aforementioned main word line, and the 1st cache transfer means which transmits the aforementioned cache data to the aforementioned cache memory further.

[Claim 5] The semiconductor memory according to claim 1 characterized by equipping the aforementioned cache maintenance means with 2nd number of sub cache memories which stores each maintenance data of the aforementioned sense amplifier, respectively, and a sub cache transfer means to transmit the aforementioned maintenance data to each of the aforementioned

sub cache memory, further.

[Claim 6] It has the following and is characterized by holding the sub line data of the 2nd number of the above whose aforementioned cache maintenance means is the information for one line on the subblock corresponding to each of the aforementioned sub word line corresponding to the line address of the 1st number of the above of the aforementioned memory cell blocks, respectively. Two or more memory cell blocks which divide and change for 1st number of every lines which defined beforehand the memory cell array which outputs and inputs the aforementioned information by each's arranging the memory cell which memorizes information to a line and a seriate, changing, and specifying a line address and the train address are included. The subblock into which the aforementioned memory cell block divided this memory cell block by the 2nd number further defined in the direction of a train beforehand, Each 1st number of the line of the 1st number of the above of the main word lines which carries out line address correspondence, 2nd number of sub word lines which divided the aforementioned main word line corresponding to the subblock of the 2nd number of the above, A sub word line selection means to answer supply of the subblock selection signal which chooses the aforementioned subblock, and to choose the aforementioned sub word line, It has a cache maintenance means to hold the cache data which are the information on the memory cell for one line of the aforementioned main word line dealing with the selection line address specified beforehand. The semiconductor memory which performs read-out or the writing of the aforementioned cache data to the aforementioned cache maintenance means when the external line address and the aforementioned selection line address which were specified from the outside are in agreement. 2nd number holding each of the sub line address of subblock correspondence of the 2nd number of the above of sub line address maintenance meanses A sub line address selection means for the aforementioned subblock selection signal to be interlocked with, to choose one of the sub line address maintenance meanses of the 2nd number of the above, and to generate the 1st main WORD selection signal The line decoder which decodes an external line address and generates the 2nd main WORD selection signal of correspondence A main WORD signal selection means to answer supply of a control signal and to choose either the above 1st and the 2nd main WORD selection signal

---

[Translation done.]



## **\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## **DETAILED DESCRIPTION**

---

### **[Detailed Description of the Invention]**

**[0001]**

**[Industrial Application]** Especially this invention relates to a semiconductor memory equipped with a cache maintenance means to hold the data of a line unit temporarily and to operate, about a semiconductor memory.

**[0002]**

**[Description of the Prior Art]** This kind of semiconductor memory is equipped with the buffer memory, i.e., the cache memory, which consists of the register of the high-speed small capacity which holds the data of the line unit of this DRAM temporarily, bipolar one RAM, etc. for improvement in the speed of access of DRAM of low-speed large capacity which is main memory. Moreover, there are some which are considered as an alternative of a simple cache memory using rapid access mechanisms, such as a page mode of DRAM and static column mode, instead of having an expensive cache memory. These cache memories and the alternative means of those are called cache maintenance means to below.

**[0003]** If this cache maintenance means copies and holds the data (cache data) of the line address unit which CPU is likely to need from main memory and its data of the address at the time of the memory access of CPU correspond with the above-mentioned cache data (i.e., if a cache hit is carried out), CPU will incorporate this cache data by the access time of a high-speed cache maintenance means. On the other hand, when the data of the address at the time of the above-mentioned memory access are the above-mentioned cache data and an inequality (cache mistake), CPU incorporates data necessary by the usual memory access cycle from main memory. Therefore, at the time of a cache hit, access can be performed at high speed as compared with the time of a cache mistake.

**[0004]** The cache hit to memory access appears in a performance improvement of a computer system comparatively, and improvement in a certain cache hit ratio is important for it. The improvement in this cache hit ratio becomes possible by making the number of several ball entries of an independent cache data block increase to a cache maintenance means generally.

**[0005]** The semiconductor memory given [ aiming at the increase in the above-mentioned number of entries ] in JP,3-21289,A (reference 1) is making the number of entries increase by preparing a cache maintenance means in the sense amplifier unit corresponding to a line decoder.

**[0006]** Moreover, it corresponds to improvement in the speed of access by considering a memory line address selection line (following word line) as the composition which consists of the main word line and a sub word line also about memory cell structure by progress of detailed-izing accompanying progress of DRAM technology, such as formation of high integration large capacity.

**[0007]** This common kind of semiconductor memory is equipped with a memory circuit including a cache maintenance means, the memory controller which supplies the address and the selection signal to the above-mentioned memory circuit, and a data bus. [ SU / opposite / signal ] If operation is explained, the above-mentioned memory controller supplies the address and a selection signal to the above-mentioned memory circuit, the above-mentioned memory circuit

compares the above-mentioned address and the line address of the maintenance data of a cache maintenance means which received supply, and if in agreement, while outputting the above-mentioned maintenance data to the above-mentioned data bus, the reply signal of correspondence will be outputted to the above-mentioned memory controller. If the A above-mentioned dress and the line address of the above-mentioned maintenance data are inharmonious, the above-mentioned memory circuit will output a reply signal to a memory controller while outputting read-out data to a data bus, after accessing memory cell data by the usual memory access.

[0008] If drawing 9 which shows the memory circuit of the conventional semiconductor memory of reference 1 publication with a block is referred to, the conventional semiconductor memory shown in this drawing The blocks 1-4 of the memory cell divided in the line unit, i.e., the main word line unit The sense amplifier groups 51-54, the train decoder 6, and the line decoder group 7, It has the register group 8 which is a cache memory, and the control circuit 10 which performs direct access of the memory cell array 1 for the direct access to a sense amplifier 5 again, respectively at the time of a cache mistake at the time of a cache hit.

[0009] Each of blocks 1-4 is further divided in the direction of a train corresponding to a sub word line, and consists of subblocks 11-14, 21-24, 31-34, and 41-44, respectively.

[0010] The line decoder group 7 consists of the line decoders 71-74 corresponding to each of blocks 1-4, and drives main word line X corresponding to each of blocks 1-4 according to a line address.

[0011] The sense amplifier groups 51-54 correspond to each of each subblocks 11-14 of blocks 1-4, 21-24, 31-34, and 41-44, respectively. Each sense amplifier (after-mentioned) of these sense amplifier groups 51-54 amplifies and holds the cell data of each cell, answers supply of train address signal AC by the train decoder 6, is chosen, and performs transfer of an I/O circuit (not shown) and data.

[0012] The register group 8 consists of the registers 81-84 corresponding to each of blocks 1-4, and holds the line address accessed at the end to each block.

[0013] A control circuit 10 manages the input row address (following external line address) and the register address from the outside. When an external line address is in agreement with the maintenance address of a register 8, at the time of a cache hit, read-out or writing is performed directly to the sense amplifier groups 51-54. The case at the time of an inequality, i.e., a cache mistake, rewrites the register of correspondence to the value of an external line address while precharging the sense amplifier groups 51-54 and accessing the memory cell of external line address specification.

[0014] The composition and operation of details are explained by making block 1 into representation below.

[0015] If the composition of a word line is explained with reference to drawing 10 (A) which shows the circuit diagram of the word line containing this main word line and a sub word line The main word line XK which is the transmission line of the main WORD signal Xk with which this word line is supplied from the line decoder 71, The selectors 141-144 of the same composition of receiving supply of the main WORD signal Xk and outputting sub WORD signal ka-kd dealing with selection-signal phi a-phi d of a subblock to each of subblocks 11-14, respectively, Sub word line Ka-Kd which transmits sub WORD signal ka-kd from each of selectors 141-144, respectively is included.

[0016] Selection-signal phi a-phi d is supplied to each of selectors 141-144, and one of each four sub word line Ka-Kd is chosen. Moreover, selectors 141-144 answer supply of the selector deactivation signal Xr, and make deactivation level level of sub word line Ka-Kd.

[0017] If drawing 10 (B) which shows the composition of a selector 141 with a circuit diagram is referred to, this selector 141 will be equipped with the sub WORD output circuits 41-44 of the same composition of the main WORD signal Xk being supplied, respectively, answering each supply (activation level) of selection-signal phi a-phi d, and generating each of sub WORD signal ka-kd.

[0018] The sub WORD output circuit 41 is equipped with the N channel type transistor Q11 which connected the gate to the power supply and connected the drain to the main word line XK

for the source at the gate of a transistor Q12, respectively, the N channel type transistor Q12 which received supply of a signal  $\phi_1$  in the drain, and connected the source to the sub word line K1, and the N channel type transistor Q13 which connected the drain to the sub word line K1, received supply of Signal XR in the gate,

[0019] Similarly, each of the sub WORD output circuits 42, 43, and 44 consists of same circuits corresponding to each of the sub word lines Kb, Kc, and Kd, and each of subblock selection-signal  $\phi_{1b}$ ,  $\phi_{1c}$ , and  $\phi_{1d}$ , respectively.

[0020] By the whole memory, one is accepted, it surely, comes out, and, for a certain reason, sub word line (following selection sub word line) Ka-Kd henceforth chosen by selectors 141-144 abbreviates the selection signal to the subblock of the memory corresponding to the expedient upper selection sub word line of explanation to a selection signal  $\phi$  on behalf of one of selection-signal  $\phi_a$ - $\phi_d$ . Moreover, this selection signal  $\phi$  is set to  $\phi_1$ - $\phi_4$  respectively corresponding to subblocks 11-14, 21-24, 31-34, and the sub WORD signal of 41-44.

[0021] If drawing 12 which shows the relation between the group of the line decoder 71 and the sense amplifier group 51 and block 1 is referred to This block 1 consists of the subblocks 11-14 divided as mentioned above corresponding to each of selectors 141-144. One of the subblocks 11-14 of correspondence is supplied as a sub WORD signal which answered the sub WORD selection signals  $\phi_1$ - $\phi_4$  by which the main WORD signal Xk which is the output of the line decoder 71 was supplied to each subblocks 11-14, and selectors 141-144 chose. The sense amplifier group 51 is equipped with the sense amplifiers 511-514 corresponding to each of subblocks 11-14.

[0022] If drawing 12 which shows a timing diagram of operation is referred to collectively and operation of the conventional semiconductor memory is explained, the sense amplifier group 51 will hold the data of the line address accessed at the end to the corresponding block 1. When the external address supplied by the control circuit 10 is not held at the sense amplifier group 51 of the line decoder 71 of correspondence, a control circuit 10 makes a precharge state bit line potential  $v_B$  of the sense amplifier group 51 and correspondence. Next, the main WORD signal Xk is newly made into a high level, selection signals  $\phi_1$ - $\phi_4$  are raised one by one corresponding to each sub word lines K1-K4, and the data for one line are made to hold in the sense amplifier group 51 by reading the data of the cell corresponding to the main word line XK to each of sense amplifiers 511-514, respectively.

[0023] Since the data near the latest access data are held at a sense amplifier group and the rapid access of them always becomes possible by this, a performance improves.

[0024]

[Problem(s) to be Solved by the Invention] Since the size of the cache data with which a cache maintenance means can hold independently the conventional semiconductor memory mentioned above was the composition used as the size of the read-out data of 1 access of a line decoder, i.e., a WORD unit, it had the fault that flexibility — the size of data cannot but consider as the same entry also to the data smaller than the above-mentioned WORD in which distributed maintenance is possible — was small, and the improvement in a performance by the improvement in the number of entries was difficult.

[0025] Moreover, there was a fault that the maintenance function of two or more independent data of the direction of a train could not be given, without adding a special maintenance means, since the data-hold of a cache maintenance means is every line decoder.

[0026]

[Means for Solving the Problem] The semiconductor memory of this invention includes two or more memory cell blocks which divide and change for 1st number of every lines which defined beforehand the memory cell array which outputs and inputs the aforementioned information by each's arranging the memory cell which memorizes information to a line and a seriate, changing, and specifying a line address and the train address. The subblock into which the aforementioned memory cell block divided this memory cell block by the 2nd number further defined in the direction of a train beforehand, Each 1st number of the line of the 1st number of the above of the main word lines which carries out line address correspondence, 2nd number of sub word lines which divided the aforementioned main word line corresponding to the subblock of the 2nd

number of the above, A sub word line selection means to answer supply of the subblock selection signal which chooses the aforementioned subblock, and to choose the aforementioned sub word line, It has a cache maintenance means to hold the cache data which are the information on the memory cell for one line of the aforementioned main word line dealing with the selection line address specified beforehand. In the semiconductor memory which performs read-out or the writing of the aforementioned cache data to the aforementioned cache maintenance means when the external line address and the aforementioned selection line address which were specified from the outside are in agreement It has 1st number of line address maintenance means which holds each of the line address of the 1st number of the above, is interlocked with the aforementioned subblock selection signal, and outputs the contents of maintenance alternatively. The aforementioned cache maintenance means is characterized by holding the sub line data of the 2nd number of the above which is the information for one line on the subblock corresponding to each of the aforementioned sub word line corresponding to the line address of the 1st number of the above of the aforementioned memory cell blocks, respectively.

[0027]

[Example] If drawing 1 which attaches reference characters/number common to drawing 9 and a common component, and shows the example of this invention with a block similarly is referred to, next, the semiconductor memory of this example shown in this drawing The blocks 1-4 of the former and a common memory cell, and the sense amplifier groups 51-54, It adds to the train decoder 6, the line decoder group 7, and a control circuit 10. The register group 80 which has four register 811-814, 821-824, 831-834, 841-844 per each block corresponding to the sub word lines K1-K4, respectively instead of the register group 8, It has the selector 9 which answers supply of the train address AC and chooses these registers.

[0028] Next, if operation of this example is explained with reference to drawing 2 which shows a relation with the sense amplifier of the block 1 representing drawing 1 and each block Each of subblocks 11, 12, 13, and 14 by each control of the subblock selection signals phi1-phi4 to selectors 141-144 The data XL1, XM2, XN3, and XO4 of the sub word line corresponding to each of the main word lines XL, XM, XN, and XO are held in each of sense amplifiers 511, 512, 513, and 514, respectively. On the other hand, each of registers 811, 812, 813, and 814 stores the addresses Xi, Xm, Xn, and Xo corresponding to each of the main word lines XL, XM, XN, and XO, respectively.

[0029] If drawing 3 which is the timing diagram of this example of operation is referred to collectively, as first shown in (A), a sense amplifier 511 will be made into a precharge state, and it will prepare for new address access. Next, high level, i.e., after being activated, a sense amplifier 511 is activated for each of the main WORD signal Xi supplied to the main word line XL, and a selection signal phi 1, and data are incorporated. Next, signals Xi and phi1 are made into a low for deactivation. Thereby, the data XL1 of the sub word line of the subblock 11 dealing with main word line XL are held at a sense amplifier 511. next, the incorporation of data according [ as shown in (B), make a sense amplifier 512 into a precharge state, and the main WORD signal Xm and a selection signal phi 2 reach respectively like the above, and ] to activation of a sense amplifier 512 — subsequently to a sense amplifier 512, the data XM2 of the sub word line of the subblock 12 dealing with main word line XM are held by deactivation of signals Xm and phi2 Next, as shown in (C), the data XN3 of the sub word line of the subblock 13 dealing with main word line XN are similarly held at a sense amplifier 513 by control of activation of the main WORD signal Xn and a selection signal phi 3, and deactivation. Next, as shown in (D), the data XO4 of the sub word line of the subblock 14 dealing with main word line XO are similarly held at a sense amplifier 514 by control of activation of the main WORD signal Xo and a selection signal phi 4, and deactivation.

[0030] The data XL1, XM2, XN3, and XO4 corresponding to 4 sets of line addresses Xi, Xm, Xn, and Xo which became independent to each of sense amplifiers 511-514, respectively will be held by the above operation.

[0031] Next, if drawing 4 which attaches reference characters/number common to the block 1 of drawing 2 and a common component for feature \*\*\*\*\* block 1A, and shows the 2nd example of

this invention with a block similarly is referred to The difference with the 1st above-mentioned example of the semiconductor memory of this example shown in this drawing As opposed to each of the subblocks 11-14 of the 511 to sense amplifier 514 correspondence which shares the line decoder 71 Each of the cache memories 111-114 which hold the maintenance data of sense amplifiers 511-514 temporarily, It is adding and having the main word line XB driven with the below-mentioned signal beta 1 of 111 to these cache memory 114 correspondence, and one sub word line corresponding to this main word line XB.

[0032] By this example, the blocks 2A-4A of the same composition are replaced about other blocks 2-4 of drawing 2.

[0033] Next, in order to perform access to line address X as first shown in (A) if basic operation of this example is explained with reference to drawing 5 which shows the timing diagram of this example, a sense amplifier 511 is precharged. It is assumed that the data of subblock 11A are arbitrary data at this time. Each of main word line X and a selection signal phi is activated continuously, and a sense amplifier 511 is activated. Thereby, taking-in \*\*\*\*\* of the data dealing with a sub word line is carried out like the 1st example at a sense amplifier 511. Next, Signal phi and main word line X are deactivated. Activate Signal beta after that, the data of a sense amplifier 511 are made to incorporate and hold to a cache memory 111, and Signal beta is deactivated.

[0034] It is necessary to refresh a memory cell a fixed period. For this reason, if there is a refreshment demand, as shown in (B), main word line Xret for refreshment and a selection signal phi will be activated after precharge of a sense amplifier 511, a sense amplifier 511 will be activated further, and refreshment of a memory cell will be performed. As a result of execution of this refreshment, the maintenance data of a sense amplifier 511 turn into data of a different refresh address from the data of the main word line X address, and are meaningless data on operation.

[0035] On the other hand, a cache memory 111 also continues holding the data of the main word line X address in the meantime.

[0036] As a sense amplifier 51 is precharged again and it is shown in (C) and (D) after completion of the above-mentioned refreshment, after activating Signals beta and phi, by activating a sense amplifier 511, the data of a cache memory 111 are again read to a sense amplifier 511, and use of them is attained. Moreover, re-read-out is simultaneously performed and refreshed also for the data of a cell. After this, Signal beta is deactivated and a cache memory 111 continues holding the data of the main word line.

[0037] Even if it constitutes the KYUSSHU memory 111 from a dynamic type cell, it can make performances of operation, such as data-hold time, equivalent to a star tick type cell by performing above-mentioned re-read-out and refreshment corresponding to refreshment of a sense amplifier.

[0038] Thus, in this example, re-read-out of the sense amplifier data based on refreshment is possible regardless of the access address of a line decoder.

[0039] Even if this is simultaneously refreshed to two or more subblocks which share a line decoder and which were divided for every sense amplifier There is no need for restoration of maintenance data that the above-mentioned sense amplifier by re-read-out of the multiple times by the access address of the above-mentioned line decoder was cleared. Re-read-out of above-mentioned sense AMPUHE can restore the data dealing with a line address with which each subblocks differ in 1 time of a cycle, and improvement in a performance can be aimed at.

[0040] Next, if drawing 6 which attaches reference characters/number common to drawing 4 and a common component, and shows the 3rd example of this invention with a block similarly is referred to The difference with block 1A of the 2nd example of block 1B of this example shown in this drawing It is having the cache memories 121-124 for evacuating each maintenance data of sense amplifiers 511-514 independently for every sub word line of subblocks 11-14 instead of cache memories 111-114 temporarily.

[0041] If drawing 7 which shows a timing diagram of operation is referred to collectively and operation of this example is explained In the subblocks 11-14 answered and chosen as supply of the subblock selection signals phi1-phi4 corresponding to the same line addresses Xi, Xm, Xn,

and Xo as the 1st example, respectively (A) As shown in – (D) While precharging sense amplifiers 511–514 one by one and activating the signals phi1–phi4 of main word line XL–XO and correspondence by the selection address, Signal beta is activated and data are written in the cache memories 121–124 corresponding to each subblocks 11–14. Each of subblocks 11, 12, 13, and 14 holds the data XL1, XM2, XN3, and XO4 of the sub word line corresponding to each of the main word lines XL, XM, XN, and XO in each of sense amplifiers 511, 512, 513, and 514, respectively by each control of the block selection signals phi1–phi4 to selectors 141–144.

[0042] As shown in drawing 7 (E), at the time of refreshment, as a refresh address Xret, main word line XL–XO is driven, two or more sub word lines corresponding to each of these main word line XL–XO are activated with signals phi1–phi4, and Subblocks 11A–11D are refreshed from a line decoder. Like the 1st and the 2nd example, it pulls after the completion of refreshment, and after precharging a sense amplifier continuously, when Signal beta is activated and (F) and signals phi1–phi4 are also activated, the data of the line address of each cache memory 121 – 124 correspondence are read to each sense amplifier 511–514 in 1 cycle.

[0043] In this example, by preparing the cache memory for evacuation of the sense amplifier maintenance data based on refreshment for every sub word line to a subblock Even if it makes the access data of a line address which is different in the above–mentioned sense amplifier to a line decoder, respectively hold and clears the data of the sense amplifier which performs these subblocks simultaneously by the main word line selection, and corresponds refreshment The data of two or more sense amplifiers of the subblock which shares a line decoder with one activation of Signals beta and phi can be restored.

[0044] Next, if drawing 8 which attaches reference characters/number common to drawing 2 and a common component, and shows the 4th example of this invention with a block similarly is referred to The difference with the 1st example of this example shown in this drawing The registers 811A–814A chosen by selection signals phi1–phi4 instead of registers 811–814, respectively, It is having the register address decoder 15 which decodes the register address from Registers 811A–814A, and the selector 16 which answers supply of Signal SEL and chooses either the line decoder 71 or the register address decoder 15.

[0045] If operation of this example is explained, the main WORD signal X of this example is the output signal of a selector 16, in external access, a line decoder will be chosen with Signal SEL, and this selector 16 will perform the same operation as the 1st example. Moreover, in the case of re–read–out by the maintenance address of Registers 811A–814A, the output address of the register of the subblock correspondence for [ which was chosen by selection signals phi1–phi4 ] re–read–out is decoded by the register address decoder 15, and this decoding address is supplied to subblocks 11–14 as a main WORD signal X via a selector 13. Therefore, re–read–out only of 1 set in the group of two or more subblock sense amplifiers dealing with a sub word line which can be set to each block becomes possible by the register address.

[0046] thereby — the inside of two or more one blocks which carried out rereading appearance and were divided for every line decoder in operation — execution of re–read–out of 1 set of subblocks dealing with a sub word line is attained respectively

[0047] In this example, by having a means to specify the register address independently, to the block divided for every line decoder, each register address dealing with a subblock is given independently, and re–read–out of two or more subblocks in 1 cycle is made possible.

[0048] Corresponding to this, data can be restored in 1 time of a cycle by performing refreshment and performing the above–mentioned re–read–out to two or more above–mentioned subblocks by supplying a refresh address to two or more subblocks through a line decoder.

[0049] in the memory which was described above and which is equipped with a cache maintenance means for highly–efficient–izing, the data near the data which accessed recently are held like at the above–mentioned maintenance means — \*\*\*\*\* — \*\* However, data will be cleared by refreshment even if it holds data to a sense amplifier in the memory which needs refreshment periodically like DRAM. moreover, the data–hold in the unit of the size in which the above–mentioned cache maintenance means had as much flexibility as possible — \*\*\*\*\* — \*\*

[0050] On the other hand, the increase in the chip size which it corresponds clear, and realization of restoration of data is enabled in a short time, and is the factor of the increase of

cost further by refreshment of the data which this invention raised the flexibility of the above-mentioned maintenance means using the main word line of DRAM and sub word line structure, and were held to the sense amplifier can also be reduced.

[0051]

[Effect of the Invention] As explained above, the semiconductor memory of this invention It has 1st number of line address maintenance meanses which is interlocked with a subblock selection signal and outputs the content of maintenance alternatively. When a cache maintenance means holds the sub line data of the 2nd number corresponding to each of the sub word line corresponding to the above-mentioned line address, respectively Since it can hold independently in the unit of the size of the data for a subblock corresponding to each of the above-mentioned sub word line which constitutes the main word line The size of data can accelerate access to the data smaller than 1 word dealing with the main word line in which distributed maintenance is possible as a result of the large improvement in the cache hit ratio by the increase in the number of entries, and it is effective in the improvement in a performance of a computer system being attained.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is the block diagram showing the 1st example of the semiconductor memory of this invention.

[Drawing 2] It is the block diagram showing the detail of the block which constitutes this example.

[Drawing 3] It is the timing diagram which shows an example of operation of this example.

[Drawing 4] It is the block diagram showing the 2nd example of the semiconductor memory of this invention.

[Drawing 5] It is the timing diagram which shows an example of operation of this example.

[Drawing 6] It is the block diagram showing the 3rd example of the semiconductor memory of this invention.

[Drawing 7] It is the timing diagram which shows an example of operation of this example.

[Drawing 8] It is the block diagram showing the 4th example of the semiconductor memory of this invention.

[Drawing 9] It is the block diagram showing an example of the conventional semiconductor memory.

[Drawing 10] It is the circuit diagram showing the relation between the main word line and a sub word line, and the composition of a selector.

[Drawing 11] It is the timing diagram which shows operation of the conventional semiconductor memory.

**[Description of Notations]**

1-4, 1A, 1B, 1C Block

11-14, 21-24, 31-34, 41-44 Subblock

5, 51-54 Sense amplifier group

6 Train Decoder

7 Line Decoder Group

8 Register Group

9, 16, 141-144, S11-S14 Selector

10 Control Circuit

15 Register Address Decoder

71-74 Line decoder

511-514, 521-524, 531-534, 541-544 Sense amplifier

81-84, 811-814, 821-824, 831-834, 841-844, 811A-814A Register

---

[Translation done.]